

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2901899号

(45) 発行日 平成11年(1999) 6月7日

(24) 登録日 平成11年(1999) 3月19日

(51) Int.Cl.⁹

識別記号

F I

H 0 3 G 3/30

H 0 3 G 3/30

A

B

C

請求項の数13(全 18 頁)

(21) 出願番号	特願平7-186777	(73) 特許権者	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成7年(1995) 7月24日	(72) 発明者	爲末 和彦 大阪府門真市大字門真1006番地 松下電 器産業株式会社内
(65) 公開番号	特開平8-116226	(72) 発明者	永野 孝一 大阪府門真市大字門真1006番地 松下電 器産業株式会社内
(43) 公開日	平成8年(1996) 5月7日	(72) 発明者	中村 満寿央 大阪府門真市大字門真1006番地 松下電 器産業株式会社内
審査請求日	平成7年(1995) 7月24日	(74) 代理人	弁理士 前田 弘 (外2名)
(31) 優先権主張番号	特願平6-202201	審査官	畑中 博幸
(32) 優先日	平6(1994) 8月26日		
(33) 優先権主張国	日本 (J P)		

最終頁に続く

(54) 【発明の名称】 自動利得制御装置

1

(57) 【特許請求の範囲】

【請求項1】 制御電圧により制御される利得に応じて入力信号を増幅又は減衰する可変利得増幅回路と、該可変利得増幅回路の出力信号を整流する整流回路と、該整流回路により整流された整流電圧のピーク電圧を出力するホールド回路と、外部電圧に基づき変化する基準電圧を出力する基準電圧回路と、前記ピーク電圧と前記基準電圧との差分に応じて前記制御電圧を出力する直流増幅回路と、前記基準電圧に基づき前記可変利得増幅回路の出力信号と前記入力信号とを切り替える切り替え回路とを備えていることを特徴とする自動利得制御装置。

【請求項2】 前記直流増幅回路により出力される前記制御電圧から直流電圧の高周波成分を除く低域通過フィ

2

ルタをさらに備えていることを特徴とする請求項1に記載の自動利得制御装置。

【請求項3】 制御電圧により制御される利得に応じて入力信号を増幅又は減衰する可変利得増幅回路と、該可変利得増幅回路の出力信号を整流する整流回路と、該整流回路により整流された整流電圧の実効電圧を出力する低域通過フィルタと、

外部電圧に基づき変化する基準電圧を出力する基準電圧回路と、

10 前記実効電圧と前記基準電圧との差分に応じて前記制御電圧を出力する直流増幅回路と、前記基準電圧に基づき前記可変利得増幅回路の出力信号と前記入力信号とを切り替える切り替え回路とを備えていることを特徴とする自動利得制御装置。

【請求項4】 制御電圧により制御される利得に応じて

3

入力信号を増幅又は減衰する可変利得増幅回路と、
 該可変利得増幅回路の出力信号を整流して第1の整流電圧を出力する整流回路と、
 前記可変利得増幅回路の入力信号の電圧の高低を逆にすると共に整流して第2の整流電圧を出力する微小電圧検出回路と、
 該微小電圧検出回路から出力される第2の整流電圧を前記基準電圧の値に応じて所定値以下に抑制するクランプ回路と、
 前記整流回路から出力される第1の整流電圧と前記微小電圧検出回路から出力されかつ前記クランプ回路により抑制された第2の整流電圧のうちのいずれか高い方の整流電圧のピーク電圧を出力するホールド回路と、
 適当な基準電圧を供給する基準電圧回路と、
 前記ホールド回路から出力されるピーク電圧と前記基準電圧との差分に応じて前記制御電圧を出力する直流増幅回路とを備えていることを特徴とする自動利得制御装置。

【請求項5】 前記直流増幅回路により出力される前記制御電圧から直流電圧の高周波成分を除く低域通過フィルタをさらに備えていることを特徴とする請求項4に記載の自動利得制御装置。

【請求項6】 前記クランプ回路は、前記基準電圧を増幅する直流増幅回路を有していることを特徴とする請求項4又は5に記載の自動利得制御装置。

【請求項7】 制御電圧により制御される利得に応じて入力信号を増幅又は減衰する可変利得増幅回路と、
 該可変利得増幅回路の出力信号を整流して第1の整流電圧を出力する整流回路と、
 前記可変利得増幅回路の入力信号の電圧の高低を逆にすると共に整流して第2の整流電圧を出力する微小電圧検出回路と、
 該微小電圧検出回路から出力される第2の整流電圧を前記基準電圧の値に応じて所定値以下に抑制するクランプ回路と、
 前記整流回路から出力される第1の整流電圧と前記微小電圧検出回路から出力されかつ前記クランプ回路により抑制された第2の整流電圧のうちのいずれか高い方の整流電圧の実効電圧を出力する低域通過フィルタと、
 適当な基準電圧を供給する基準電圧回路と、
 前記低域通過フィルタから出力される実効電圧と前記基準電圧との差分に応じて前記制御電圧を出力する直流増幅回路とを備えていることを特徴とする自動利得制御装置。

【請求項8】 前記クランプ回路は、前記基準電圧を増幅する直流増幅回路を有していることを特徴とする請求項7に記載の自動利得制御装置。

【請求項9】 制御電圧により制御される利得に応じて入力信号を増幅又は減衰する可変利得増幅回路と、
 入力信号と前記可変利得増幅回路の出力信号とを切り替

4

えて出力する切り替え回路と、
 該切り替え回路の出力信号を整流する整流回路と、
 該整流回路により整流された整流電圧を開閉する開閉回路と、
 該開閉回路を介して前記整流電圧のピーク電圧を出力するホールド回路と、
 前記ピーク電圧をデジタル信号に変換するアナログ／デジタル変換回路と、
 前記切り替え回路が前記入力信号を出力している間に、
 前記アナログ／デジタル変換回路の出力データを記憶する記憶回路と、
 該記憶回路から読み出されたデータをアナログ信号に変換するデジタル／アナログ変換回路と、
 前記ピーク電圧と前記デジタル／アナログ変換回路の出力電圧との差分に応じて前記制御電圧を出力する直流増幅回路とを備えていることを特徴とする自動利得制御装置。

【請求項10】 前記切り替え回路が前記入力信号を出力している間、前記デジタル／アナログ変換回路の出力電圧を前記ホールド回路に充電する充電回路をさらに備えていることを特徴とする請求項9に記載の自動利得制御装置。

【請求項11】 前記直流増幅回路により出力される前記制御電圧から直流電圧の高周波成分を除く低域通過フィルタをさらに備えていることを特徴とする請求項9又は10に記載の自動利得制御装置。

【請求項12】 前記記憶回路は不揮発性メモリであることを特徴とする請求項9～11のいずれか1項に記載の自動利得制御装置。

【請求項13】 前記記憶回路は、揮発性メモリと該揮発性メモリの内容を保持するためのバックアップ回路とからなることを特徴とする請求項9～11のいずれか1項に記載の自動利得制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、通信システム又は音声システムにおいて、出力信号の振幅が一定となるように入力信号の振幅に応じて可変利得増幅回路の利得を制御して入力信号の変動を抑制する自動利得制御装置に関する。

【0002】

【従来の技術】 以下、入力信号の変動が抑制され、一定の出力信号が取り出せる従来の自動利得制御装置を図面を参照しながら説明する。

【0003】 図11は従来の自動利得制御装置の構成図である。図11において、1は制御電圧により制御される利得に応じて入力信号電圧を増幅する可変利得増幅回路、2は可変利得増幅回路1の出力電圧のピークを検出して保持するピーク検出回路、21は入力信号電圧を整流する整流回路、22は整流回路21により整流された

整流電圧のピーク値を保持するホールド回路、3は入力された電圧の差分に比例した電圧を出力する直流増幅回路、4は直流増幅回路3の出力電圧の高周波成分を除去して実効電圧を出力する低域通過フィルタ、51は電源電位 V_{cc} から適当な基準電圧を生成する抵抗分圧回路、 R_1 は電源電位 V_{cc} を分圧する第1の抵抗器、 R_2 は電源電位 V_{cc} を分圧する第2の抵抗器、61は入力信号が可変利得増幅回路1を通る状態と通らない状態とを切り替える制御端子付き切り替えバッファ回路、61Aは入力信号が直接入力される入力端子、61Bは可変利得増幅回路1の出力信号が入力される入力端子、Yは本自動利得制御装置の出力端子、 V_{ref} は抵抗分圧回路51により出力される基準電圧、 V_x はピーク検出回路2により出力されるピーク電圧、 V_c はピーク電圧 V_x と基準電圧 V_{ref} との差分により直流増幅回路3により生成され低域通過フィルタ4によりリップル成分が除去され可変利得増幅回路1を制御する制御電圧、 V_{cc} は装置を駆動する電源電圧である。

【0004】前記のように構成された自動利得制御装置の動作を以下に図面に基づいて説明する。

【0005】図12は従来の自動利得制御装置のAGC(=Automatic Gain Control)特性を示す図である。図12(a)は従来の自動利得制御装置の制御電圧 V_c と利得(=Gain)との相関図である。図12(a)において、 G_0 は最大利得、 G_9 は最小利得である。

【0006】図12(b)は基準電圧を一定にした場合の直流増幅回路のピーク電圧 V_x と制御電圧 V_c との相関図である。図12(b)において、 V_{x1} は図10

(a)に示す基準電圧 V_{r1} 時における0dBの利得となるピーク電圧、 V_{c1} はピーク電圧 V_{x1} 時に可変利得増幅回路1の利得を0dBにする制御電圧である。

【0007】図12(c)は従来の自動利得制御装置の入力信号の電圧と出力信号の電圧とを対数値とした相関図である。図12(c)において、 v_{in0} は入力信号電圧のAGCが有効となる最小値、 v_{in1} は図10に示す基準電圧 V_{r1} 時における0dBの利得となる入力信号電圧、 v_{in9} は入力信号電圧のAGCが有効となる最大値、 G_0 は最大利得、 G_9 は最小利得である。 v_{in1} を基準にして入力信号電圧が大きくなるにつれて利得が下がり、入力信号電圧が小さくなるにつれて利得が上がるため、出力信号電圧の振幅を一定に保つことができる。

【0008】さらに、図12(b)に示す制御電圧 V_{c1} のとき、図12(c)に示すように利得は0dBとなる。直流増幅回路3に入力される基準電圧 V_{ref} を図10(a)に示す標準の基準電圧 V_{r1} から標準よりも高い基準電圧 V_{r3} に変化させると、制御電圧 V_{c1} を出力するためのピーク電圧 V_{x1} が標準の V_{x1} よりも高い方へシフトするため、入力信号電圧も標準の v_{in}

1からより高い v_{in3} にて利得が0dBになる。逆に、基準電圧 V_{ref} を図10(a)に示す基準電圧 V_{r2} に変化させると、制御電圧 V_{c1} を出力するためのピーク電圧 V_{x1} がより低い方へシフトするため、入力信号電圧も標準の v_{in1} よりも低い v_{in2} にて利得が0dBになる。従って、直流増幅回路3に入力する基準電圧 V_{ref} を変化させることにより自動利得制御装置のAGC特性を変化させることができる。

【0009】次に、従来の音声用自動利得制御装置を図面を参照しながら説明する。

【0010】図13は従来の音声用自動利得制御装置の回路図である。図13において、図11に示す従来の自動利得制御装置に対して新たに追加されている部材のみを説明する。7は微小電圧検出回路の出力電圧が所定値を越えると一定の電圧に保持するクランプ回路、72は微小電圧検出回路の出力電圧が所定値を越えると導通するPNPトランジスタ、73はクランプ電圧値を決める定電圧電源、8は入力電圧が低下するにつれて出力電圧を高くし、かつ整流する微小電圧検出回路である。

【0011】前記のように構成された音声用自動利得制御装置の動作を以下に図面に基づいて説明する。

【0012】図14は従来の音声用自動利得制御装置のAGC特性を示す図である。図14(a)は従来の音声用自動利得制御装置の入力信号電圧と制御電圧 V_c との相関図である。図14(b)は従来の自動利得制御装置の入力信号電圧と出力信号電圧との相関図である。図14(a)において、 L_1 は図13に示す整流回路21の出力電圧、 L_2 は図13に示す微小電圧検出回路8の出力電圧、 L_3 は図13に示すクランプ回路7の出力電圧、 v_{in1} は図10に示す基準電圧 V_{r1} 時における0dBの利得となる入力信号電圧、 v_{in5} は図13に示す微小電圧検出回路8と整流回路21との出力電圧が等しくなる入力信号電圧、 v_{in6} は図13に示す微小電圧検出回路8とクランプ回路7との出力電圧が等しくなる入力信号電圧、 V_{c1} はピーク電圧 V_{x1} 時における制御電圧であって、0dBの利得となる入力信号電圧 v_{in1} 及び v_{in6} に対応する制御電圧である。図14(b)において、 G_0 は最大利得、 G_9 は最小利得である。

【0013】入力信号電圧が v_{in1} よりも小さい場合は、利得が最大値 G_0 に近づきやがて飽和する。入力信号電圧が極めて小さい場合でも、微小電圧検出回路8がなければ利得は最大のみでありノイズが増大する。この微小電圧検出回路8は、入力信号電圧が v_{in5} 以下のとき図13に示す直流増幅回路3よりも高い電圧を発生させるため、図14(b)に示すように利得は低減する。また、クランプ回路7は、微小電圧検出回路8のみの場合、入力信号電圧が v_{in6} よりもさらに小さくなると利得が負になるので、制御電圧を利得が0dBとなる V_{c1} に強制的に印加するために設けられている。

7

【0014】前記のAGC特性を有する音声用自動利得制御装置によると、大きな音は緩和され小さな音はS/N比が改善されて明瞭に再現される。

【0015】

【発明が解決しようとする課題】しかしながら、前記従来の自動利得制御装置は、基準電圧の可変機能による利得の変更とAGCオン・オフ機能とは分離されているため、複数の端子により制御しなくてはならないという第1の問題点と、基準電圧を可変とした場合にAGC特性の変化に対して微小入力時の利得が一定値に保持できないという第2の問題点と、任意の入力信号レベルによるAGC特性を自由に設定したり又は記憶したりできないという第3の問題点と、低域通過フィルタの容量を充電するのに時間を要するためAGCオン・オフ切り替えが高速に行なえないという第4の問題点を有していた。

【0016】本発明は、前記従来の問題点を解決するもので、基準電圧の修正によるAGC特性の変更とAGCオン・オフ切り替えとが容易に制御できるようにすることを第1の目的とし、AGC特性の下限利得が一定となるようにすることを第2の目的とし、AGC特性の設定及び記憶ができるようにすることを第3の目的とし、さらにAGCオン・オフ切り替えが高速にできるようにすることを第4の目的とする。

【0017】

【課題を解決するための手段】請求項1の発明は前記第1の目的を達成するものであり、自動利得制御装置を、制御電圧により制御される利得に応じて入力信号を増幅又は減衰する可変利得増幅回路と、該可変利得増幅回路の出力信号を整流する整流回路と、該整流回路により整流された整流電圧のピーク電圧を出力するホールド回路と、外部電圧に基づき変化する基準電圧を出力する基準電圧回路と、前記ピーク電圧と前記基準電圧との差分に応じて前記制御電圧を出力する直流増幅回路と、前記基準電圧に基づき前記可変利得増幅回路の出力信号と前記入力信号とを切り替える切り替え回路とを備えている構成とするものである。

【0018】前記の構成により、基準電圧回路は、抵抗分圧回路とMOSトランジスタ等の電圧制御スイッチとからなるため、基準電圧の修正によるAGC特性の変更とAGCオン・オフ切り替えとを1つの端子により行なうことができる。

【0019】請求項2の発明は、請求項1の構成に、前記直流増幅回路により出力される前記制御電圧から直流電圧の高周波成分を除く低域通過フィルタをさらに備えている構成を付加するものである。

【0020】前記の構成により、低域通過フィルタは可変利得増幅回路を制御する制御電圧の高周波成分を除去するため、可変利得増幅回路の動作は安定する。

【0021】請求項3の発明は前記第1の目的を達成するものであり、自動利得制御装置を、制御電圧により制

8

御される利得に応じて入力信号を増幅又は減衰する可変利得増幅回路と、該可変利得増幅回路の出力信号を整流する整流回路と、該整流回路により整流された整流電圧の実効電圧を出力する低域通過フィルタと、外部電圧に基づき変化する基準電圧を出力する基準電圧回路と、前記実効電圧と前記基準電圧との差分に応じて前記制御電圧が出力される直流増幅回路と、前記基準電圧に基づき前記可変利得増幅回路の出力信号と前記入力信号とを切り替える切り替え回路とを備えている構成とするものである。

【0022】前記の構成により、基準電圧回路は、抵抗分圧回路とMOSトランジスタ等の電圧制御スイッチとからなるため、基準電圧の修正によるAGC特性の変更とAGCオン・オフ切り替えとを1つの端子により行なうことができる。

【0023】さらに、低域通過フィルタはホールド回路を兼ねているため、素子数を減らすことができる。

【0024】請求項4の発明は前記第2の目的を達成するものであり、自動利得制御装置を、制御電圧により制御される利得に応じて入力信号を増幅又は減衰する可変利得増幅回路と、該可変利得増幅回路の出力信号を整流して第1の整流電圧を出力する整流回路と、前記可変利得増幅回路の入力信号の電圧の高低を逆にすると共に整流して第2の整流電圧を出力する微小電圧検出回路と、該微小電圧検出回路から出力される第2の整流電圧を前記基準電圧の値に応じて所定値以下に抑制するクランプ回路と、前記整流回路から出力される第1の整流電圧と前記微小電圧検出回路から出力されかつ前記クランプ回路により抑制された第2の整流電圧のうちのいずれか高い方の整流電圧のピーク電圧を出力するホールド回路と、適当な基準電圧を供給する基準電圧回路と、前記ホールド回路から出力されるピーク電圧と前記基準電圧との差分に応じて前記制御電圧を出力する直流増幅回路とを備えている構成とするものである。

【0025】前記の構成により、クランプ回路は、微小電圧検出回路の出力電圧をクランプする電圧を基準電圧の値に応じて変化させるため、微小信号が入力されたときAGC利得が0dBとなるように補正することができる。

【0026】請求項5の発明は、請求項4の構成に、前記直流増幅回路により出力される前記制御電圧から直流電圧の高周波成分を除く低域通過フィルタをさらに備えている構成を付加するものである。

【0027】前記の構成により、低域通過フィルタは可変利得増幅回路を制御する制御電圧の高周波成分を除去するため、可変利得増幅回路の動作は安定する。

【0028】請求項6の発明は、請求項4又は5の構成に、前記クランプ回路は、前記基準電圧を増幅する直流増幅回路を有している構成を付加するものである。

【0029】前記の構成により、クランプ回路は直流増

幅回路を有しているため、適当なクランプ電圧を生成することができる。

【0030】請求項7の発明は前記第2の目的を達成するものであり、自動利得制御装置を、制御電圧により制御される利得に応じて入力信号を増幅又は減衰する可変利得増幅回路と、該可変利得増幅回路の出力信号を整流して第1の整流電圧を出力する整流回路と、前記可変利得増幅回路の入力信号の電圧の高低を逆にすると共に整流して第2の整流電圧を出力する微小電圧検出回路と、該微小電圧検出回路から出力される第2の整流電圧を前記基準電圧の値に応じて所定値以下に抑制するクランプ回路と、前記整流回路から出力される第1の整流電圧と前記微小電圧検出回路から出力されかつ前記クランプ回路により抑制された第2の整流電圧のうちのいずれか高い方の整流電圧の実効電圧を出力する低域通過フィルタと、適当な基準電圧を供給する基準電圧回路と、前記低域通過フィルタから出力される実効電圧と前記基準電圧との差分に応じて前記制御電圧を出力する直流増幅回路とを備えている構成とするものである。

【0031】前記の構成により、クランプ回路は、基準電圧の値に応じて微小電圧検出回路の出力電圧をクランプする電圧を変化させるため、微小信号が入力されたときAGC利得が0dBとなるように補正することができる。

【0032】さらに、低域通過フィルタはホールド回路を兼ねているため、素子数を減らすことができる。

【0033】請求項8の発明は、請求項7の構成に、前記クランプ回路は、前記基準電圧を増幅する直流増幅回路を有している構成を付加するものである。

【0034】前記の構成により、クランプ回路は直流増幅回路を有しているため、適当なクランプ電圧を生成することができる。

【0035】請求項9の発明は前記第3の目的を達成するものであり、自動利得制御装置を、制御電圧により制御される利得に応じて入力信号を増幅又は減衰する可変利得増幅回路と、入力信号と前記可変利得増幅回路の出力信号とを切り替えて出力する切り替え回路と、該切り替え回路の出力信号を整流する整流回路と、該整流回路により整流された整流電圧を開閉する開閉回路と、該開閉回路を介して前記整流電圧のピーク電圧を出力するホールド回路と、前記ピーク電圧をデジタル信号に変換するアナログ／デジタル変換回路と、該アナログ／デジタル変換回路の出力データを記憶する記憶回路と、該記憶回路から読み出されたデータをアナログ信号に変換するデジタル／アナログ変換回路と、前記ピーク電圧と前記デジタル／アナログ変換回路の出力電圧との差分に応じて前記制御電圧を出力する直流増幅回路とを備えている構成とするものである。

【0036】前記の構成により、アナログ／デジタル変換回路はホールド回路により出力されるピーク電圧をデ

ジタル化し、記憶回路はデジタル化されたピーク電圧を記憶し、デジタル／アナログ変換回路はデジタル化され記憶されていたピーク電圧をアナログに戻し基準電圧を生成するため、基準電圧の設定値はいつでも記憶できた再生できる。

【0037】請求項10の発明は前記第4の目的を達成するものであり、請求項9の構成に、前記切り替え回路が前記入力信号を出力している間、前記デジタル／アナログ変換回路の出力電圧を前記ホールド回路に充電する充電回路をさらに備えている構成を付加するものである。

【0038】前記の構成により、可変利得増幅回路が作動していない間、ホールド回路は、充電回路により充電されているため、可変利得増幅回路が作動し始めるとすぐに起動する。

【0039】請求項11の発明は、請求項9又は10の構成に、前記直流増幅回路により出力される前記制御電圧から直流電圧の高周波成分を除く低域通過フィルタをさらに備えている構成を付加するものである。

【0040】前記の構成により、低域通過フィルタは可変利得増幅回路を制御する制御電圧の高周波成分を除去するため、可変利得増幅回路の動作は安定する。

【0041】請求項12の発明は、請求項9～11の何れか1項の構成において、前記記憶回路は不揮発性メモリである構成とするものである。

【0042】請求項13の発明は、請求項9～11の何れか1項の構成において、前記記憶回路は、揮発性メモリと該揮発性メモリの内容を保持するためのバックアップ回路とからなる構成とするものである。

【0043】

【発明の実施の形態】以下、本発明の第1の実施形態を図面に基づいて説明する。図1は本発明の第1の実施形態に係る自動利得制御装置の構成図である。図2は本発明の第1の実施形態に係る自動利得制御装置の回路図である。図1及び2において、図1に示す従来の自動利得制御装置の構成図と同じ部材には同一の符号を付すことにより説明を省略する。図1及び図2において、5はピーク電圧 V_x との差分により制御電圧 V_c を生成するための基準電圧 V_{ref} を発生させる基準電圧回路、6は可変利得増幅回路1を通る状態と通らない状態とを切り替える切り替え回路、 V_{ctl} は基準電圧回路5に印加され切り替え回路6を制御する外部電圧である。図2において、52は切り替え回路6を制御するnチャネルMOSトランジスタ、62は基準電圧回路5により生成される基準電圧 V_{ref} 及び切り替え回路6の切り替え電圧 V_{sw} により制御され、基準電圧 V_{ref} が切り替え電圧 V_{sw} よりも高い場合は電圧「H」を出力し、その他の場合は電圧「L」を出力する電圧コンパレータ回路である。

【0044】図1に示す第1の実施形態の特徴は、基準

11

電圧 V_{ref} を可変にすることによるAGC特性の変更とAGCオン・オフ切り替えとを1つの外部端子により行えることである。

【0045】前記のように構成された自動利得制御装置の切り替え動作を以下に説明する。

【0046】AGCオン・オフ切り替えを行なう外部電圧 V_{ctl} として、例えば自動利得制御装置の外部からのマイコン等の制御によりデジタル的に電圧「H」又は電圧「L」が入力される。

【0047】まず、外部電圧 V_{ctl} が「L」の場合、 n チャネルMOSトランジスタ52は遮断されるため、基準電圧 V_{ref} は式 $V_{cc} \times R2 / (R1 + R2)$ により求められる値になり、第1の抵抗器R1又は第2の抵抗器R2の値を変化させて基準電圧 V_{ref} の変更が行なえる。また、電圧コンパレータ回路62により基準電圧 V_{ref} と切り替え電圧 V_{sw} とが比較され、基準電圧 V_{ref} が切り替え電圧 V_{sw} よりも高くなるように切り替え電圧 V_{sw} を定めると、電圧コンパレータ回路62は電圧「H」を出力するため、制御端子付き切り替えバッファ回路61の入力端子61Bが選択され、自動利得制御装置からの出力信号が出力される。

【0048】次に、外部電圧 V_{ctl} が「H」のとき、 n チャネルMOSトランジスタ52は導通するため、基準電圧 V_{ref} は切り替え電圧 V_{sw} よりも低くなり、電圧コンパレータ回路62の出力は電圧「L」となるので、制御端子付き切り替えバッファ回路61は入力端子61Aが選択され、入力信号が直接出力される。

【0049】本実施形態の特徴として、基準電圧 V_{ref} の制御によるAGC特性の設定とAGCオン・オフ機能とを1つの端子により行なうことができる。本自動利得制御装置をIC化する際には、外部電圧 V_{ctl} 又は基準電圧 V_{ref} を外部端子とすればよい。

【0050】なお、基準電圧回路5は切り替え電圧 V_{sw} 以下の電圧とそれ以上の直流電圧とを切り替え、かつ制御できる回路構成であればよいので、例えばデジタル／アナログ変換回路をマイコンにより制御したり、複数の直流電圧ラインをスイッチにより切り替えて基準電圧 V_{ref} に供給したり、 n チャネルMOSトランジスタ52を n p n バイポーラトランジスタや電磁リレーと置き換えたりする方法であっても同等の効果が得られる。また、前記において基準電圧 V_{ref} が切り替え電圧 V_{sw} よりも低い場合に、可変利得増幅回路1がオフになると仮定して説明したが、 n チャネルMOSトランジスタ52、電圧コンパレータ回路62及び切り替えバッファ回路61の極性の組み合わせにより、基準電圧 V_{ref} が切り替え電圧 V_{sw} よりも高い場合に可変利得増幅回路1がオフになるように動作させることも明らかに可能である。

【0051】以下、本発明の第2の実施形態を図面に基

12

自動利得制御装置の回路図である。図3において、図2に示す第1の実施形態に係る自動利得制御装置の回路図と同じ部材には同一の符号を付し説明を省略する。図3において、低域通過フィルタ4は整流回路21と直流増幅回路3との間に直列に接続されていて、整流回路21により出力される整流電圧が入力され、入力された整流電圧の実効電圧 V_x2 を出力する。直流増幅回路3は基準電圧回路5の基準電圧 V_{ref} と実効電圧 V_x2 との差分を増幅して制御電圧 V_c を生成する。なお、本実施形態は、可変利得増幅回路1、整流回路2、低域通過フィルタ4及び切り替え回路6を追加して、直流増幅回路4には多入力の実行電圧 V_x2 のうち最も高い電圧又は平均値が入力される複数の可変利得増幅回路1が制御できる構成にも対応できる。

【0052】本実施形態の特徴として、第1の実施形態と同様に、基準電圧 V_{ref} の制御によるAGC特性の設定とAGCオン・オフ機能とを1つの端子により行なうことができる。

【0053】さらに、ホールド回路22が低域通過フィルタ4により兼用されているため、装置の構成が簡単になる。

【0054】以下、本発明の第3の実施形態を図面に基づいて説明する。図4は本発明の第3の実施形態に係る自動利得制御装置の構成図である。図5は本発明の第3の実施形態に係る自動利得制御装置の回路図である。図4及び図5において、図13に示す従来の音声用自動利得制御装置の回路図と同じ部材には同一の符号を付すことにより説明を省略する。図4において、可変利得増幅回路1は図12(a)の利得特性を有するので、入力信号が微小電圧の場合は、図14(a)のL1の特性に示すように、ピーク検出回路2の出力は下降する。また、図14(a)のL2の特性に示すように、入力信号電圧が所定の電圧よりも低くなるにつれて高い電圧が出力される微小電圧検出回路8の出力電圧は整流回路21の出力電圧と結合されて、ホールド回路22の出力電圧であるピーク電圧 V_x は、前記2つの出力電圧のうちの高い方の出力電圧となる。このピーク電圧 V_x が高くなるにつれて直流電圧回路3と低域通過フィルタ4とを介した制御電圧 V_c が上昇し、可変利得増幅回路1の利得を低下させることになる。さらに、所定の入力レベル以下の利得が減少し過ぎるのを防ぐため、微小電圧検出回路8の出力電圧は図14(a)のL3の特性に示すように、クランプ回路7により制限されている。次に、基準電圧 V_{ref} を変化させてAGC特性が変更されると、クランプ回路7は基準電圧 V_{ref} に応じてクランプ電圧が変化して、所定の微小信号入力時の下限利得が基準電圧 V_{ref} の変化に応じて一定となるように補正できる。

【0055】図4に示す第3の実施形態の特徴として、微小信号が入力された際にAGC特性の利得が増大することによるS/N比の劣化を防ぐため、微小電圧検出回

13

路8とクランプ回路7とを設けてAGC特性の利得を減少させる。

【0056】さらに、基準電圧 V_{ref} を変化させてAGC特性の変更を行ない、クランプ電圧を基準電圧 V_{ref} に応じて変化させるため、微小信号入力時のAGC特性の下限利得が一定になるように補正できる。

【0057】図5において、71は基準電圧 V_{ref} を増幅してクランプ用の電圧を生成するクランプ用直流増幅回路である。クランプ回路7は、基準電圧 V_{ref} が入力されるクランプ用直流増幅回路71と増幅された基準電圧 V_{ref} がベース電極に印加されるPNPトランジスタ72とからなる構成である。

【0058】前記のように構成された自動利得制御装置の動作を図面に基つて以下に説明する。図10は本発明の第3の実施形態に係る自動利得制御装置のAGC特性図である。図10(a)は本発明の第3の実施形態に係る自動利得制御装置の基準電圧 V_{ref} と利得が0dBとなる入力信号の電圧との相関図である。図10

(b)は本発明の第3の実施形態に係る自動利得制御装置の入力信号の電圧と出力信号の電圧との相関図である。図10(a)において、 V_{r1} は標準の基準電圧、 V_{r2} は標準よりも低い基準電圧、 V_{r3} は標準よりも高い基準電圧、 v_{in1} は基準電圧 V_{r1} における0dBの利得となる入力信号電圧、 v_{in2} は基準電圧 V_{r2} における0dBの利得となる入力信号電圧、 v_{in3} は基準電圧 V_{r3} における0dBの利得となる入力信号電圧である。図10(b)において、 v_{in1} 、 v_{in2} 及び v_{in3} は前記と同様である。 v_{in5} は微小電圧検出回路8と整流回路21との出力電圧が等しくなる入力信号電圧、 v_{in6} は微小電圧検出回路8とクランプ回路7との出力電圧が等しくなる入力信号電圧、 G_0 は最大利得、 G_9 は最小利得である。

【0059】まず、基準電圧 V_{ref} が図10(a)に示す標準の基準電圧 V_{r1} の場合は、図14(a)に示す入力信号電圧 V_{in5} よりも大きな入力信号に対して整流回路21の出力電圧は、微小電圧検出回路8の出力電圧よりも大きくなり、この出力電圧がエミッタホロワで出力されて結合されるため、微小電圧検出回路8の低い出力電圧は出力トランジスタが遮断されるので、電圧の高い整流回路2の出力がホールド回路22を介してピーク電圧 V_x として出力される。

【0060】次に、入力信号電圧が図14(a)に示す入力信号電圧 V_{in5} よりも低い入力信号に対して、微小電圧検出回路8の出力は整流回路21の出力よりも高くなるため、ホールド回路22を介してピーク電圧 V_x として出力されるので、入力信号電圧の低下に伴って微小電圧検出回路8の出力電圧が高くなる。従って、ピーク電圧 V_x と制御電圧 V_c とが上昇し、図14(b)に示すように利得が減衰する。クランプ回路7の出力電圧が微小電圧検出回路8の出力電圧に付加されると、微小

14

電圧検出回路8の過大な出力電圧がクランプ回路7の出力電圧にクランプされる。従って、入力信号の電圧が図14(a)に示す入力信号電圧 V_{in6} よりも低い場合は、微小な信号電圧が入力されても利得が0dBとなり、入力信号の振幅によらずAGC特性を一定にすることができる。

【0061】次に、基準電圧 V_{ref} を標準より高めの図10(a)に示す V_{r3} に設定する場合は、入力信号電圧を v_{in1} とすると、直流増幅回路3と低域通過フィルタ4とを介した制御電圧 V_c は低くなるため、AGC特性の利得は増加するが、クランプ電圧が前記と同一値であるとする微小入力時の利得も増加することになる。この現象を防ぐため、基準電圧 V_{ref} を入力値とするクランプ用直流増幅回路71とpnpバイポーラトランジスタ72とを介してクランプ電圧を標準の基準電圧 V_{r1} の場合よりも高く設定することにより、所定電圧 v_{in6} 以下の微小信号入力時における下限利得を V_{ref} が標準の基準電圧 V_{r1} の場合と同じ0dBの利得に保つことができる。

【0062】次に、基準電圧 V_{ref} を標準より低めの V_{r2} に設定する場合は各部の動作や電圧変化は前記の逆となり、クランプ電圧を標準の基準電圧 V_{r1} の場合よりも低めに設定することにより下限利得を標準の場合と同じ0dBの利得に保つことができる。

【0063】なお、可変利得増幅回路1及びピーク検出回路2を追加することにより、直流増幅回路3には多入力のピーク電圧 V_x のうちの最も高い電圧又は平均値が入力される複数の可変利得増幅回路1を制御できる構成にも対応できる。

【0064】以下、本発明の第4の実施形態を図面に基つて説明する。図6は本発明の第4の実施形態に係る自動利得制御装置の回路図である。図6において、図5に示す本発明第3の実施形態に係る自動利得制御装置の回路図と同じ部材には同一の符号を付すことにより説明を省略する。図6において、第3の実施形態と異なる点のみを説明すると第2の実施形態と同様に、低域通過フィルタ4は、整流回路21と直流増幅回路3との間に直列に接続されていて、整流回路21により出力される整流電圧が入力され、入力された整流電圧の実効電圧 V_{x2} を出力する。直流増幅回路3は実効電圧 V_{x2} と基準電圧 V_{ref} との差分を直流増幅して、制御電圧 V_c を生成する構成である。

【0065】本実施形態の特徴として、基準電圧 V_{ref} を変化させてもクランプ電圧が共に変化することにより、所定値以下の微小信号入力時の下限利得を一定値に保つことができる。

【0066】さらに、ホールド回路22が低域通過フィルタ4により兼用されているため、装置の構成が簡単になる。

【0067】なお、可変利得増幅回路1、整流回路2

1、低域通過フィルタ4及び切り替え回路6を追加することにより、直流増幅回路3には多入力の実効電圧 V_x 2のうちの最も高い電圧又は平均値が入力され複数の可変利得増幅回路1を制御できる構成にも対応できる。

【0068】以下、本発明の第5の実施形態を図面に基づいて説明する。図7は本発明の第5の実施形態に係る自動利得制御装置の構成図である。図8は本発明の第5の実施形態に係る自動利得制御装置の回路図である。図7及び図8において、図1に示す本発明の第1の実施形態の自動利得制御装置に新たに追加されている部材のみを説明する。図7及び図8において、9はホールド回路22により出力されるピーク電圧 V_x をデジタル化するA/D変換回路、10AはA/D変換回路9によりデジタル化されたピーク電圧 V_x を記憶する記憶回路、10BはSRAM等の半導体メモリ、11は記憶回路10Aにより記憶されているデジタル化されたピーク電圧 V_x を基準電圧 V_{ref} に復元するD/A変換回路、12はホールド回路22の容量を充電する充電回路、13はホールド回路22を開閉する開閉回路、14はA/D変換回路9、記憶回路10A、D/A変換回路11、充電回路12、開閉回路13及び切り替え回路6を制御する制御回路、15はSRAM等のバックアップ電源が必要となる記憶回路のためのバックアップ回路である。なお、半導体メモリ10BとしてEEPROM等の不揮発性メモリを用いる場合はバックアップ回路15は不要となる、前記のように構成された自動利得制御装置の動作を以下に説明する。

【0069】まず、制御回路14により切り替え回路6は入力端子6Aに選択されて開閉回路13は閉じているとすると、入力信号は整流回路21及びホールド回路22を介してピーク電圧 V_x が生成されA/D変換回路9によりデジタル化され、デジタル化されたデータ V_x がバックアップ回路15を備えた記憶回路10Aに記憶される。

【0070】次に、記憶回路10Aのデータ V_x がD/A変換回路11により復元され、その復元された電圧が直流増幅回路4に基準電圧 V_{ref} として入力される。A/D変換回路9の入力電圧 V_x とD/A変換回路11の出力電圧 V_{ref} とは常に等しくなる関係を有し、A/D変換回路9の量子化誤差も無視できるようにビット

【0071】次に、制御回路14により切り替え回路6は、入力端子6Bに選択されて、入力信号が可変利得増幅回路1、整流回路21及びホールド回路22を介して直流増幅回路3に入力される。ピーク電圧 V_x と基準電圧 V_{ref} とが等しい場合に、制御電圧 V_c に対して可変利得増幅回路1の利得が0dBとなるように、ピーク電圧 V_x 、基準電圧 V_{ref} 及び V_c 若しくは可変利得増幅回路1の利得との関係をあらかじめ決めておくとAGCの動作特性により利得は0dBに収束する。なお、

ピーク電圧 V_x と基準電圧 V_{ref} とが等しい場合に、制御電圧 V_c に対して可変利得増幅回路1の利得が0dBとなるように、可変利得増幅回路1の利得の関係を仮定したが、可変利得増幅回路1の利得が任意のNdB(Nは実数を示す)となるように定めておくと、前記と同じ手順を用いることにより同じ標準入力信号によるNdBの利得を持つAGC特性が実現できる。

【0072】従って、基準電圧 V_{ref} の記憶が可能となり、さらに任意の入力信号に対するAGC特性の設定も可能となる。

【0073】次に、制御回路14により切り替え回路6は入力端子6Aに選択され、開閉回路13が開いてAGCオフの状態にされるとき、充電回路12を通してピーク電圧 V_x が基準電圧 V_{ref} と等しくなるようにホールド回路22の容量の充電が行なわれる。切り替え回路6がオフからオンに切り替わると同時に、充電回路12は制御回路14によりその出力がハイインピーダンス状態となり、また開閉回路13は閉じるため、ピーク電圧 V_x は再び整流回路21による駆動に切り替わる。

【0074】AGCオフからオンへの切り替え時に整流回路21を介してホールド回路22に充電する時間が省略できるので、自動利得制御装置は瞬時に安定し高速な切り替えができる。切り替え時間の大半を占めるホールド回路22の充電があらかじめ完了していることにより、AGC特性が安定するまでの立ち上がり時間が短縮できるため、AGCオフからオンへの高速切り替えが実現できる。なお、AGCオンからオフへの切り替えは十分に高速であるため対策は不要である。

【0075】以下、本発明の第6の実施形態を図面に基づいて説明する。図9は本発明の第6の実施形態に係る自動利得制御装置の回路図である。図9において、図8に示す本発明の第5の実施形態の自動利得制御装置に新たに追加されている部材のみを説明する。図9において、16は基準となる利得を設定するための基準電圧回路、 V_{ref2} は基準となる利得を設定する第2の制御電圧である。制御端子付き切り替えバッファ回路61は、基準電圧回路16の出力電圧である第2の制御電圧 V_{ref2} と低域通過フィルタの出力電圧である制御電圧 V_c とが入力され、可変利得増幅回路1に第2の制御電圧 V_{ref2} 又は制御電圧 V_c のいずれかが入力される構成である。

【0076】前記のように構成された自動利得制御装置の動作を以下に説明する。

【0077】まず、切り替えバッファ回路61の入力端子が61Aに選択され、第2の制御電圧 V_{ref2} により可変利得制御回路1の利得が0dBに設定される。

【0078】次に、AGC特性を0dBに設定するための標準入力信号を入力して、整流回路21及びホールド回路22を介したピーク電圧 V_x がA/D変換回路9によりデータ V_x に変換されて半導体メモリ10Bに記憶

される。

【0079】次に、データ V_x が読み出されD/A変換回路11により基準電圧 V_{ref} が生成される。ピーク電圧 V_x と基準電圧 V_{ref} とは常に等しく、デジタル化に伴う量子化誤差は十分に小さくなるようにデータ長を確保する必要がある。

【0080】次に、制御端子付き切り替えバッファ回路61が入力端子61Bに選択されて前記標準入力信号が入力されると、ピーク電圧 V_x と基準電圧 V_{ref} とが等しい関係を有するため、可変利得制御回路1の利得は0dBとなるように制御電圧 V_c と利得の関係が定められているので、整流回路21及びホールド回路22を介したピーク電圧 V_x は、AGCの動作特性として基準電圧 V_{ref} と等しい電圧に収束する。なお、記憶容量の大きい半導体メモリ10Bを用いると標準信号を複数設定し、そのなかから適時読み出してAGC利得の制御特性を変更することも可能である。

【0081】本実施形態の特徴として、第5の実施形態と同様に、基準電圧 V_{ref} の記憶が可能となり、任意の入力信号に対するAGC特性の設定も可能となる。

【0082】さらに、開閉回路13に比べて素子数の少ない基準電圧回路16を用いるため構造が簡単になる。

【0083】

【発明の効果】以上説明したように、請求項1の発明に係る自動利得制御装置によると、基準電圧の変更とAGCオン・オフ機能とが1つの端子により実現できるため、基準電圧を変更したり、自動利得制御装置の動作を切り替えたりする制御が容易になる。

【0084】さらに、IC化した際に端子の数を低減できるので、パッケージコストの削減を図ることができる。

【0085】請求項2の発明に係る自動利得制御装置によると、請求項1の発明に係る自動利得制御装置の効果が得られる上に、可変利得増幅回路の動作が安定するため、AGC特性がさらに優れたものになる。

【0086】請求項3の発明に係る自動利得制御装置によると、請求項1の発明に係る自動利得制御装置の効果が得られる上に、素子数が減るため装置は作り易くなる。

【0087】請求項4の発明に係る自動利得制御装置によると、微小信号が入力されたときにAGC利得が0dBとなるように補正することができるため、安定したAGC特性が実現できる。

【0088】請求項5の発明に係る自動利得制御装置によると、請求項4の発明に係る自動利得制御装置の効果が得られる上に、可変利得増幅回路の動作が安定するため、AGC特性がさらに優れたものになる。

【0089】請求項6の発明に係る自動利得制御装置によると、請求項4又は5の発明に係る自動利得制御装置の効果が得られる上に、適当なクランプ電圧が生成でき

るため、微小入力時のAGC特性がさらに優れたものになる。

【0090】請求項7の発明に係る自動利得制御装置によると、請求項4の発明に係る自動利得制御装置の効果が得られる上に、素子数が減るため装置は作り易くなる。

【0091】請求項8の発明に係る自動利得制御装置によると、請求項7の発明に係る自動利得制御装置の効果が得られる上に、適当なクランプ電圧が生成できるため、微小入力時のAGC特性がさらに優れたものになる。

【0092】請求項9の発明に係る自動利得制御装置によると、基準電圧の設定値が記憶でき、かつ再生できるため、使用目的に応じたAGC特性が設定できる。

【0093】さらに、IC化した際には、検査行程により例えばICテスト等で標準波形によりプログラムすることにより、製造工程のばらつきが抑えられ均一なAGC特性を得ることができる。

【0094】請求項10の発明に係る自動利得制御装置によると、請求項9の発明に係る自動利得制御装置の効果が得られる上に、可変利得増幅回路が立上がり後すぐに作動するため、AGCオン・オフの高速切り替えを行なうことができる。

【0095】請求項11の発明に係る自動利得制御装置によると、請求項9又は10の発明に係る自動利得制御装置の効果が得られる上に、可変利得増幅回路の動作が安定するため、AGC特性がさらに優れたものになる。

【0096】請求項12の発明に係る自動利得制御装置によると、請求項9～11のいずれか1項の発明に係る自動利得制御装置の効果が得られる上に、電源がオフになっても記憶されたデータは保持されているため容易に再設定できる。

【0097】さらに、メモリは不揮発性であるためバックアップ回路が不要となる。

【0098】請求項13の発明に係る自動利得制御装置によると、請求項9～11のいずれか1項の発明に係る自動利得制御装置の効果が得られる上に、記憶回路へのデータの書き込み時間及び記憶回路からのデータの読み出し時間が早くなる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る自動利得制御装置の構成図である。

【図2】本発明の第1の実施形態に係る自動利得制御装置の回路図である。

【図3】本発明の第2の実施形態に係る自動利得制御装置の回路図である。

【図4】本発明の第3の実施形態に係る自動利得制御装置の構成図である。

【図5】本発明の第3の実施形態に係る自動利得制御装置の回路図である。

19

【図6】本発明の第4の実施形態に係る自動利得制御装置の回路図である。

【図7】本発明の第5の実施形態に係る自動利得制御装置の構成図である。

【図8】本発明の第5の実施形態に係る自動利得制御装置の回路図である。

【図9】本発明の第6の実施形態に係る自動利得制御装置の回路図である。

【図10】本発明の第3の実施形態及び第4の実施形態に係る自動利得制御装置のAGC特性を示す図である。

(a)は本発明の第3の実施形態及び第4の実施形態に係る自動利得制御装置の基準電圧 V_{ref} と利得が0dBとなる入力信号電圧との相関図である。(b)は本発明の第3の実施形態及び第4の実施形態に係る自動利得制御装置の入力信号電圧と出力信号電圧とを対数値として表わした相関図である。

【図11】従来の自動利得制御装置の回路図である。

【図12】従来の自動利得制御装置のAGC特性を示す図である。(a)は従来の自動利得制御装置の制御電圧 V_c と利得との相関図である。(b)は基準電圧を一定にした場合の直流増幅回路のピーク電圧 V_x と制御電圧 V_c との相関図である。(c)は従来の自動利得制御装置の入力信号電圧と出力信号電圧とを対数値として表わした相関図である。

【図13】従来の音声用自動利得制御装置の回路図である。

【図14】従来の音声用自動利得制御装置のAGC特性を示す図である。(a)は従来の音声用自動利得制御装置の入力信号電圧と制御電圧 V_c との相関図である。

(b)は従来の音声用自動利得制御装置の入力信号電圧と出力信号電圧とを対数値として表わした相関図である。

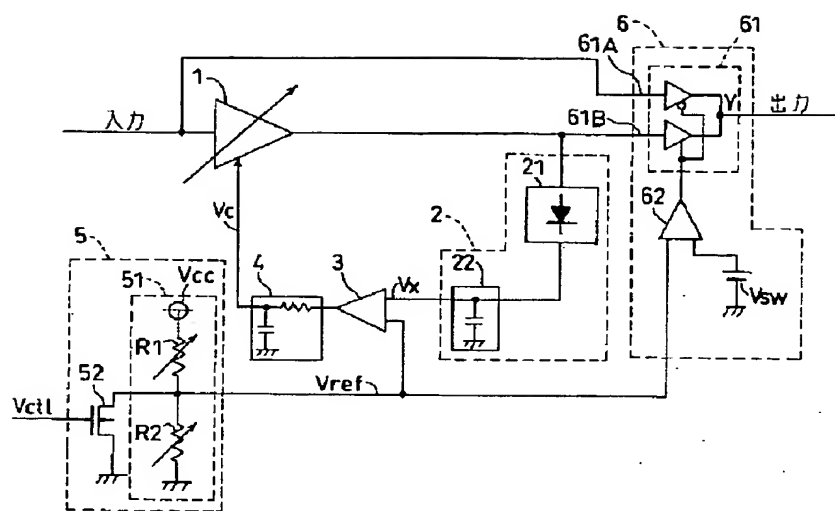
【符号の説明】

1 可変利得増回路
2 ピーク検出回路
21 整流回路
22 ホールド回路
3 直流増幅回路
4 低域通過フィルタ
5 基準電圧回路
51 抵抗分圧回路
52 nチャネルMOSトランジスタ
R1 第1の抵抗器
R2 第2の抵抗器
6 切り替え回路
61 制御端子付き切り替えバッファ回路
6A 入力端子
6B 入力端子
61A 入力端子

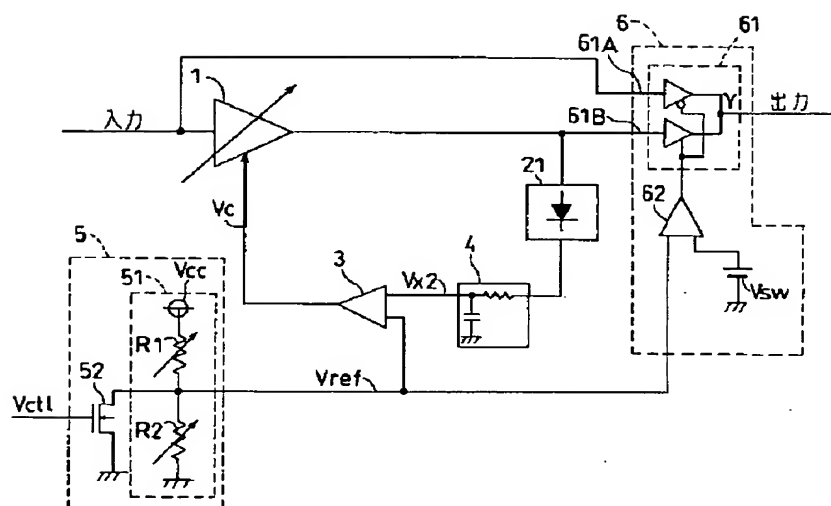
20

61B 入力端子
62 電圧コンパレータ回路
Y 出力端子
7 クランプ回路
71 クランプ用直流増幅回路
72 PNPトランジスタ
73 定電圧電源
8 微小電圧検出回路
9 A/D変換回路
10A 記憶回路
10B 半導体メモリ
11 D/A変換回路
12 充電回路
13 開閉回路
14 制御回路
15 バックアップ回路
16 基準電圧回路
 V_c 制御電圧
 V_x ピーク電圧
20 V_{x2} 実効電圧
 V_{ref} 基準電圧
 V_{ref2} 制御電圧
 V_{ctl} 外部電圧
 V_{cc} 電源電圧
 V_{sw} 切り替え電圧
 V_{r1} 標準の基準電圧
 V_{r2} 標準よりも低い基準電圧
 V_{r3} 標準よりも高い基準電圧
 v_{in0} 入力信号電圧のAGCが有効となる最小値
30 v_{in1} 基準電圧 V_{r1} 時における0dBの利得となる入力信号電圧
 v_{in2} 基準電圧 V_{r2} 時における0dBの利得となる入力信号電圧
 v_{in3} 基準電圧 V_{r3} 時における0dBの利得となる入力信号電圧
 v_{in5} 微小電圧検出回路8と整流回路21との出力電圧が等しくなる入力信号電圧
 v_{in6} 微小電圧検出回路8とクランプ回路7との出力電圧が等しくなる入力信号電圧
40 v_{in9} 入力信号電圧のAGCが有効となる最大値
G0 最大利得
G9 最小利得
 V_{x1} 基準電圧 V_{r1} 時における0dBの利得となるピーク電圧
 V_{c1} ピーク電圧 V_{x1} 時における制御電圧
L1 整流回路21の出力電圧
L2 微小電圧検出回路8の出力電圧
L3 クランプ回路7の出力電圧

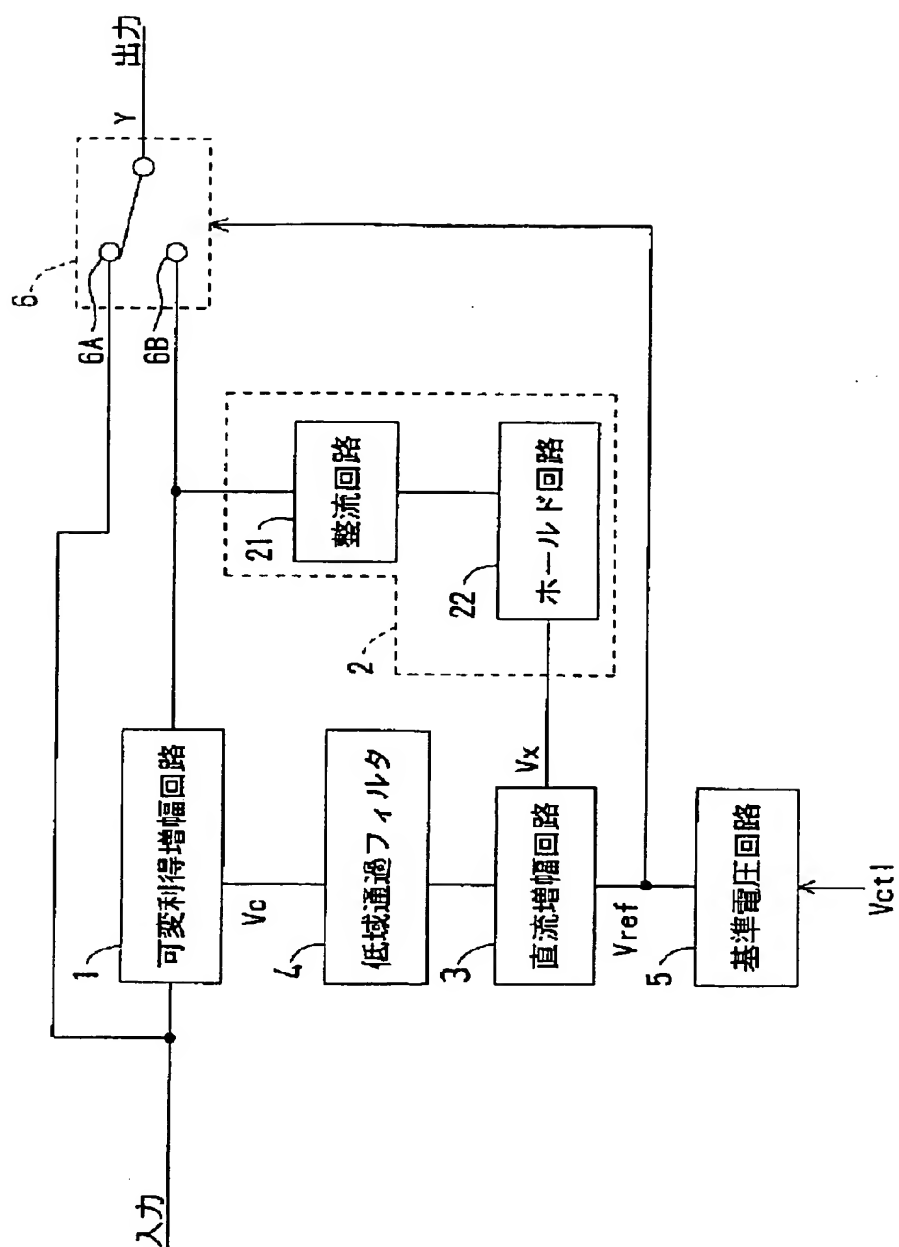
【図2】



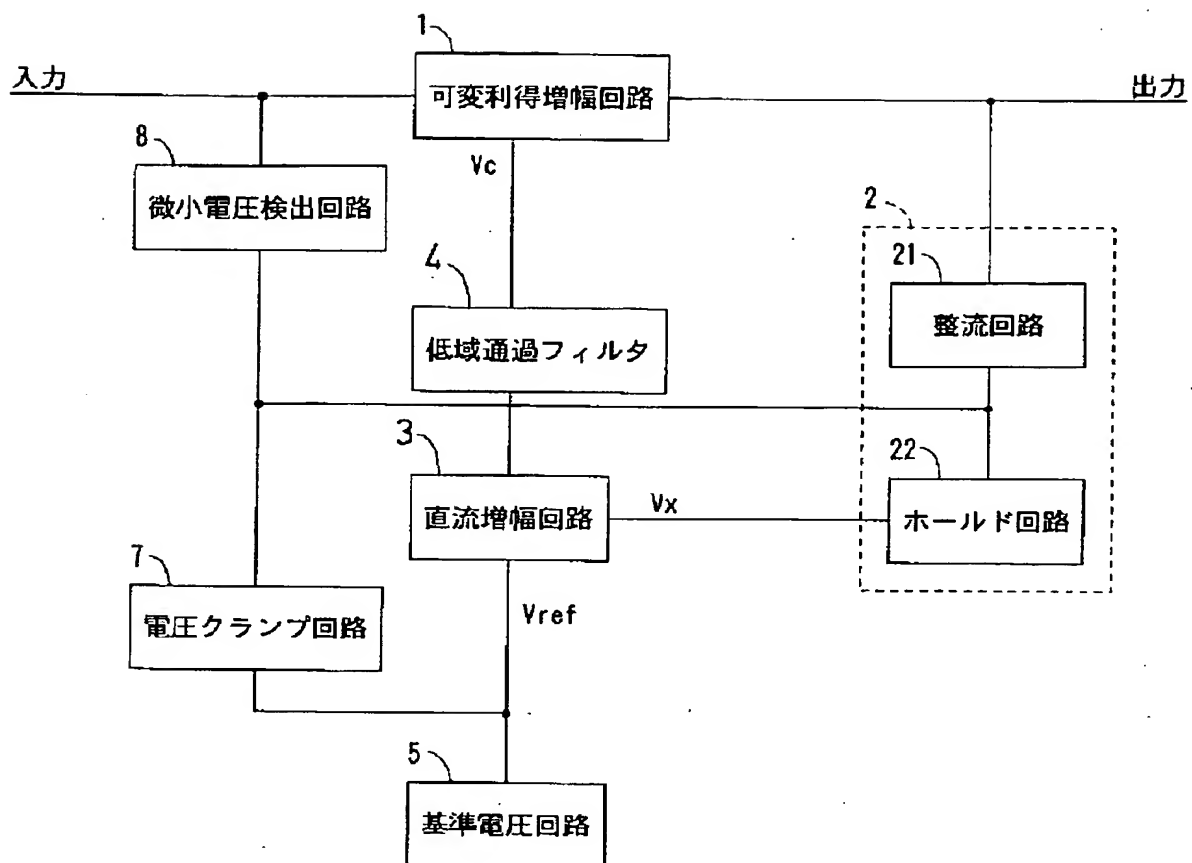
【図3】



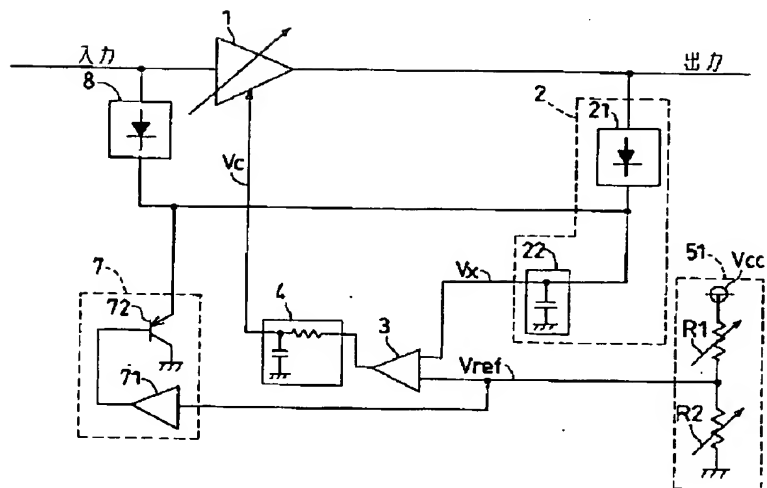
【図1】



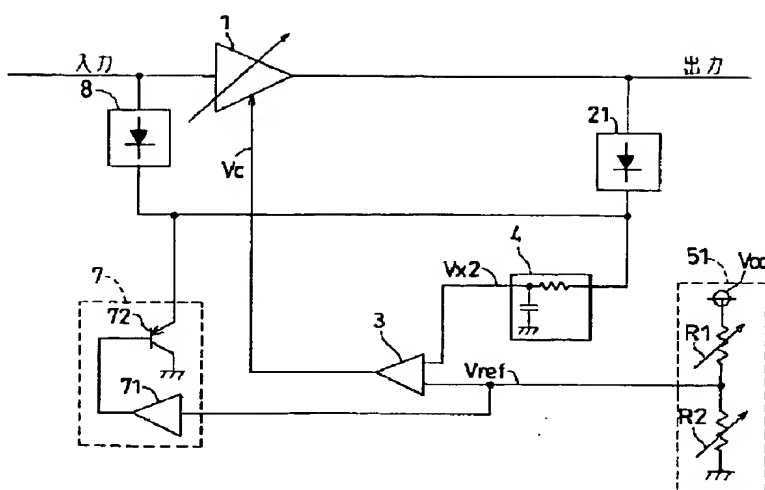
【图 4】



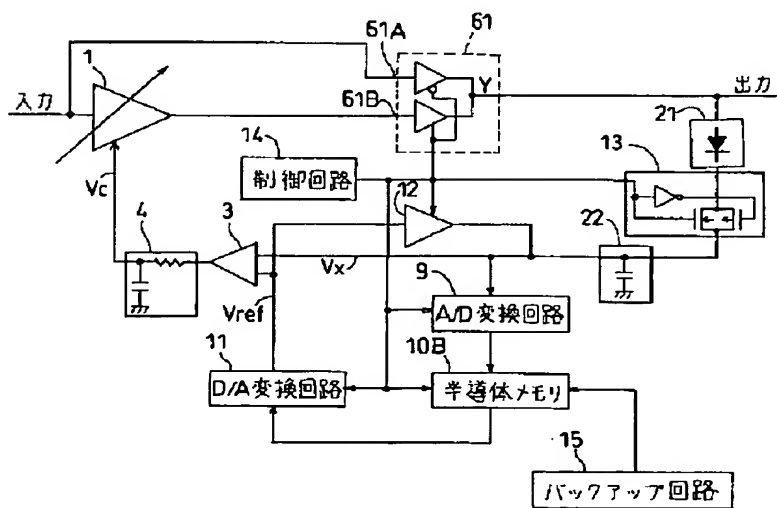
【図 5】



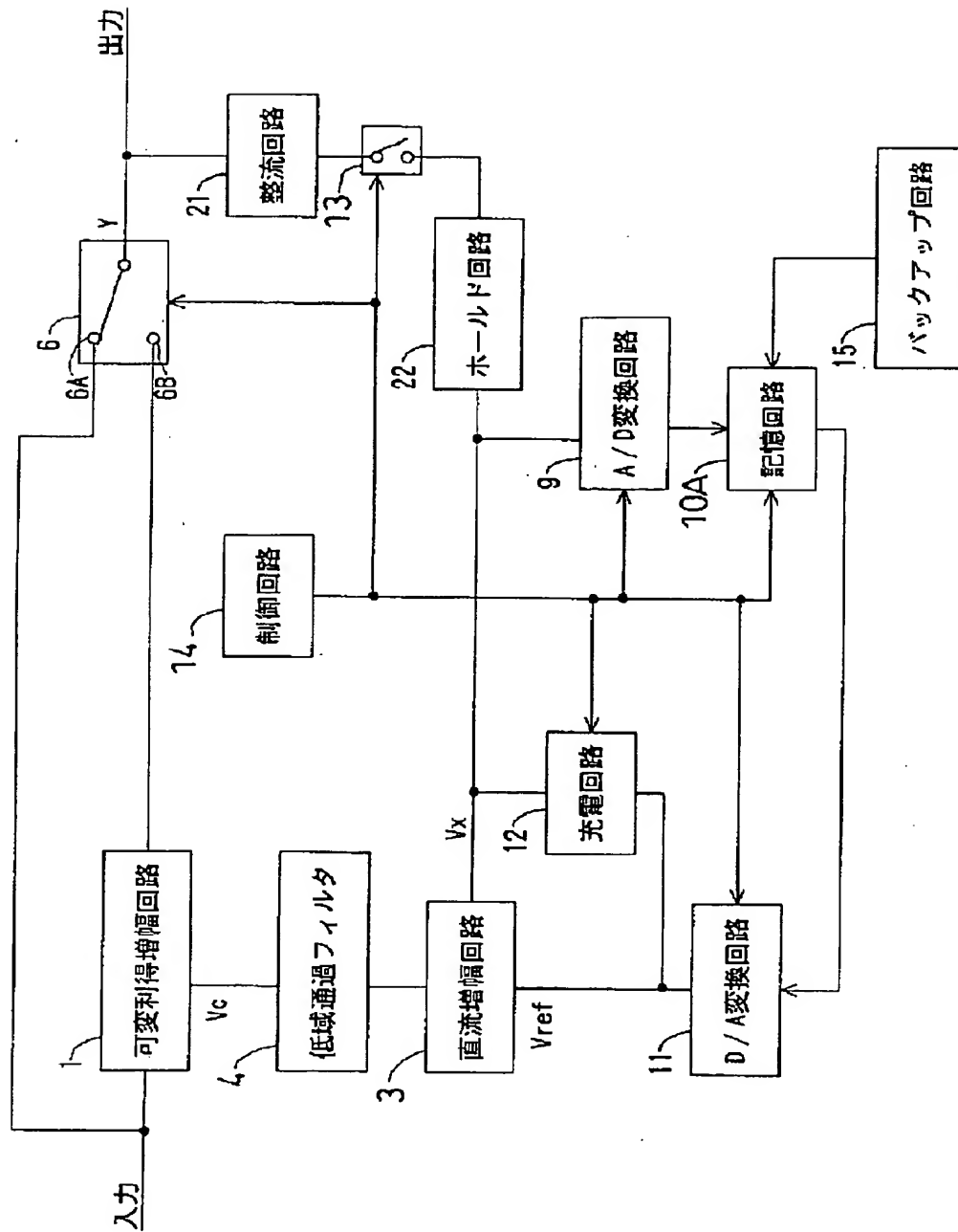
【図 6】



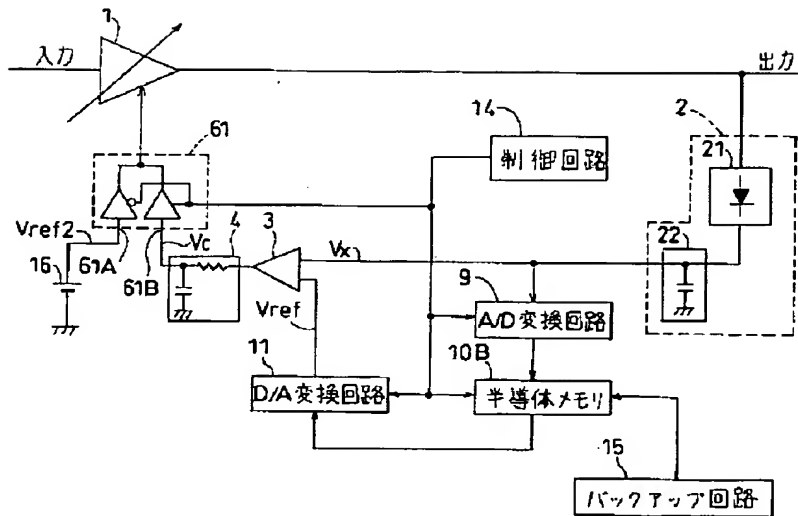
【图8】



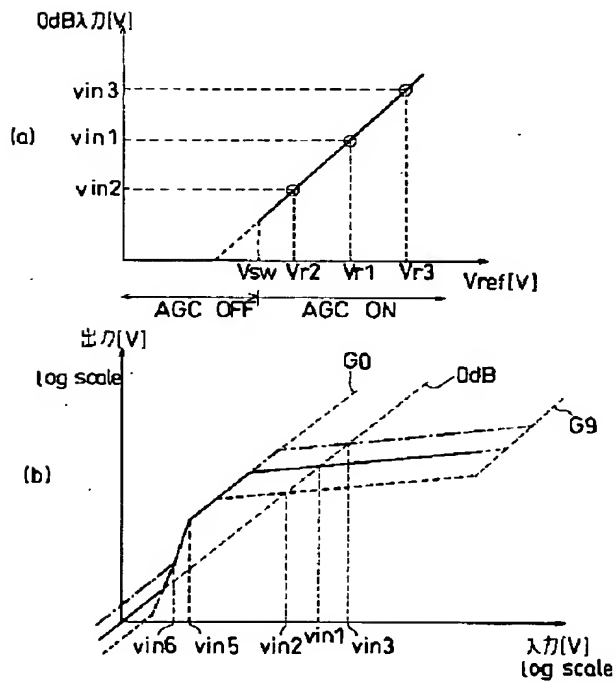
【図7】



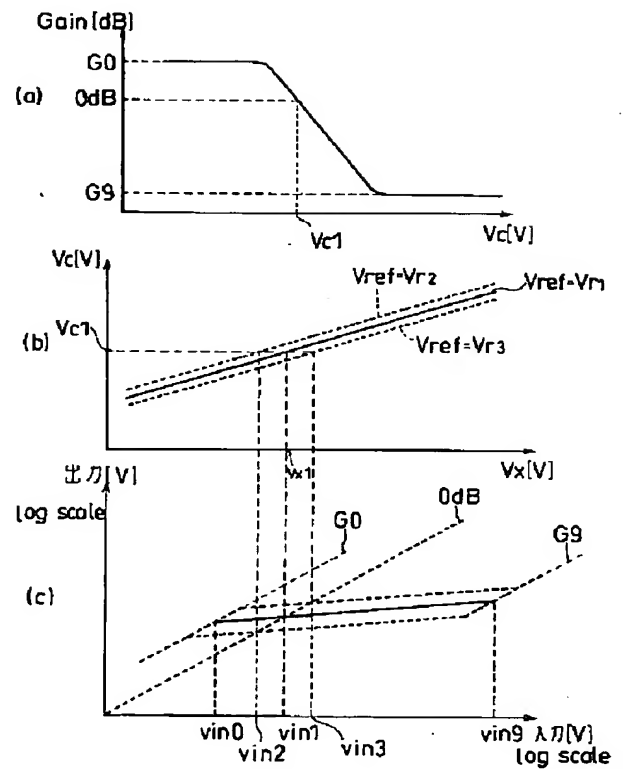
【図9】



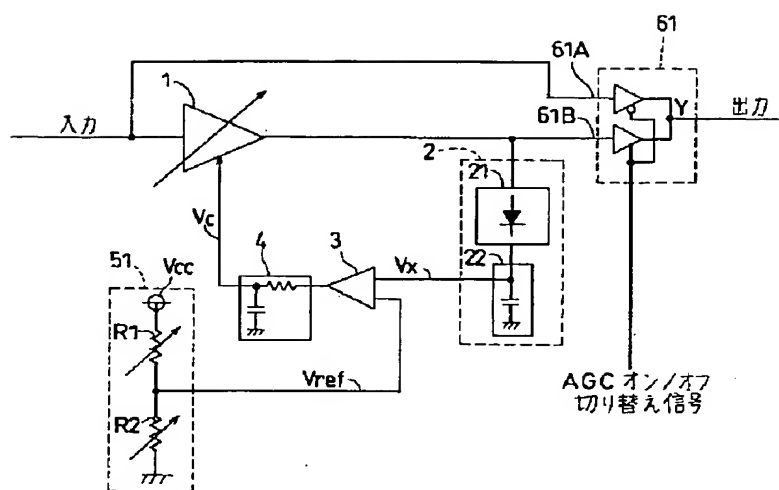
【図10】



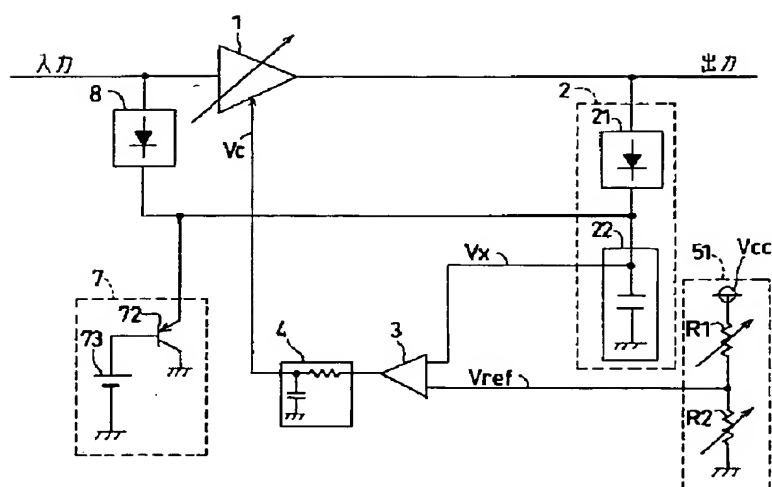
【図12】



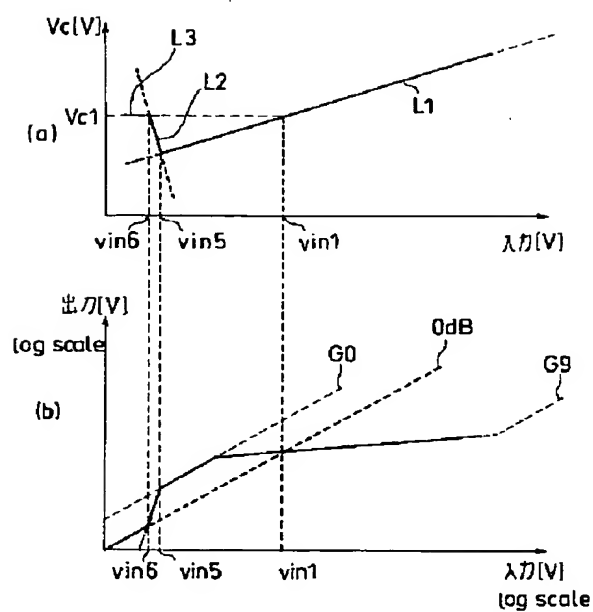
【図11】



【図13】



【図14】



フロントページの続き

(56) 参考文献 特開 昭56-140714 (J P, A)
 特開 平5-191180 (J P, A)
 特開 平4-150523 (J P, A)
 特開 昭60-152137 (J P, A)
 特開 平5-14089 (J P, A)
 特開 昭61-161010 (J P, A)

(58) 調査した分野(Int. Cl. ⁶, DB名)
 H03G 3/30